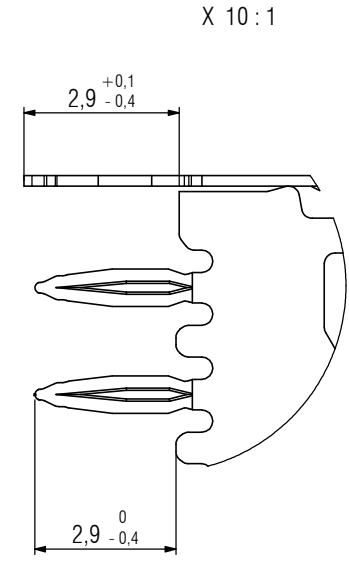
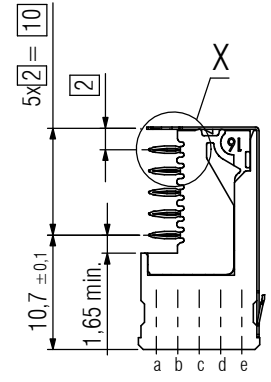
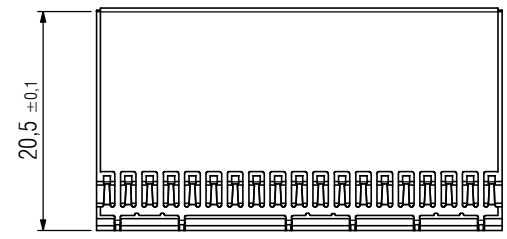
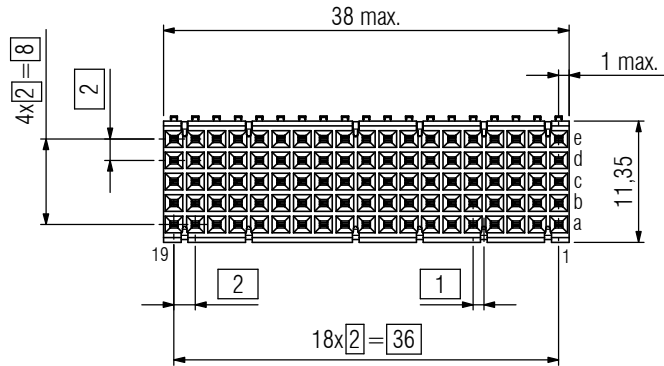
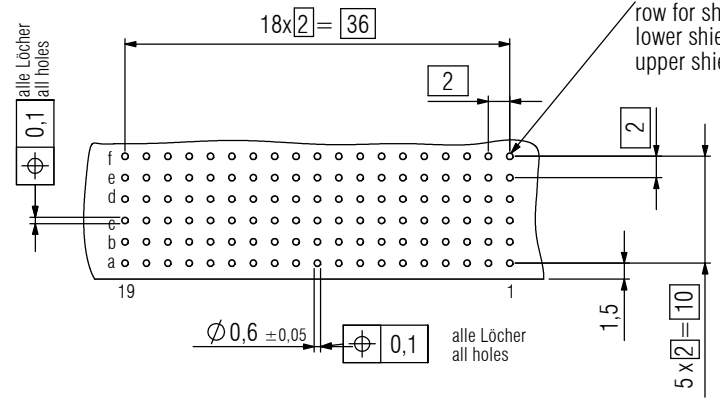


© The reproduction, distribution and utilization of this document as well as the communication of its contents to others without express authorization is prohibited. Offenders will be held liable for the payment of damages. All rights reserved in the event of the grant of a patent, utility model or design.
 Weitergabe sowie Vervielfältigung dieses Dokuments, Verwertung und Mitteilung seines Inhalts sind verboten, soweit nicht ausdrücklich gestattet. Zuwiderhandlungen verpflichten zu Schadensersatz. Alle Rechte für den Fall der Patent-, Gebrauchsmuster- oder Geschmacksmustererheinung vorbehalten.



X 10 : 1

Leiterplatten-Lochbild
pcb-layout



Reihe für Schirmblech
unteres Schirmblech auf geraden Positionen
oberes Schirmblech auf ungeraden Positionen
row for shielding
lower shield on even position
upper shield on odd position

Mechanische Lebensdauer / performance level:
class 2, according to IEC 61076-4-101
(Au over PdNi over Ni)

Technische Änderungen vorbehalten / all data subject to amendment without notice

Werkstoff / Material:		Allgemeintoleranz / General tolerances		Maßstab / Scale: 2:1	
		Toleranzgrundsatz / Fundamental tolerancing principle DIN ISO 8015		A3	
		Datum / Date		Name / Name	
		Erst/Drawn 29.07.2011		S. Kowatsch	
		Gepr./Insp.			
		Verwendungsbereich / Range of application		Kundenzchg. / customer drawing	
		Benennung / Description		hm2.0 Federleiste / female connector Bauform / type B19 mit Schirmblech / with shielding	
03 Drawing modified		02.11.2015		S. Schol	
02 drawing modified		29.07.2011		S. Kowat	
Version / Revision		Änderung / Revision		Datum / Date	
				Name / Name	
				ept ept GmbH www.ept.de	
		Zeichnungsnummer / Drawing number		244-23300-15	
		Art / Art		C	
		Blatt / Sheet		1 / 1	
		Status / Status			